

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problems Mailbox.**



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **08181196 A**(43) Date of publication of application: **12.07.96**

(51) Int. Cl.

**H01L 21/68**  
**C23C 16/44**  
**H01L 21/02**  
**H01L 21/203**  
**H01L 21/205**

(21) Application number: **06318213**(22) Date of filing: **21.12.94**(71) Applicant: **NIPPON SEMICONDUCTOR KK**

(72) Inventor:  
**EDA MASAKAZU**  
**NAKAYAMA KOJI**  
**SUMIMOTO YASUSHI**  
**HASEGAWA HITOSHI**  
**KANEKI AKIRA**

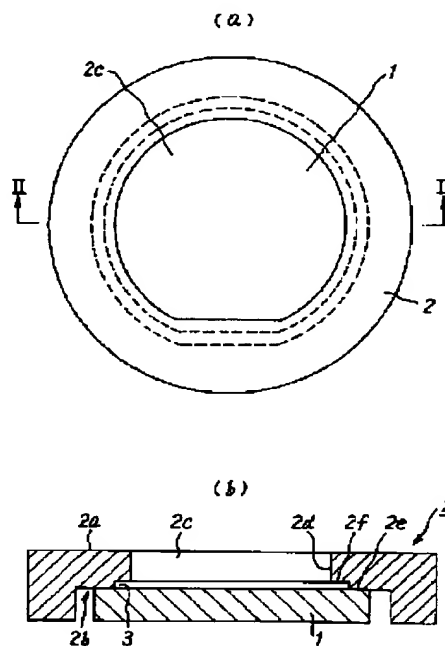
**(54) FILM FORMATION PREVENTING ELEMENT**

(57) Abstract:

**PURPOSE:** To provide a film formation preventing element wherein a continuous collective thin film is not formed between the inner peripheral surface of the film formation preventing element and a semiconductor substrate.

**CONSTITUTION:** A film formation preventing element 2 is provided with a reference surface 2e for positioning which is made to abut against the surface of a substrate 1 at the time of forming a thin film and a flange surface 2f which is positioned on the circumference side of the reference surface 2e. The distance from a first surface to the flange surface 2f is set smaller than the distance from the first surface to the reference surface. Thereby, a gap is formed between the surface of the substrate 1 and the flange surface 2f at the time of forming a thin film. Hence, the formation of a continuous thin film between the film formation preventing element 2 and the surface of the substrate 1 is prevented.

COPYRIGHT: (C)1996,JPO



# PATENT ABSTRACTS OF JAPAN

(11)Publication number : **08-181196**

(43)Date of publication of application : **12.07.1996**

(51)Int.Cl.

H01L 21/68

C23C 16/44

H01L 21/02

H01L 21/203

H01L 21/205

(21)Application number : **06-318213**

(71)Applicant : NIPPON SEMICONDUCTOR KK

(22)Date of filing : 21.12.1994

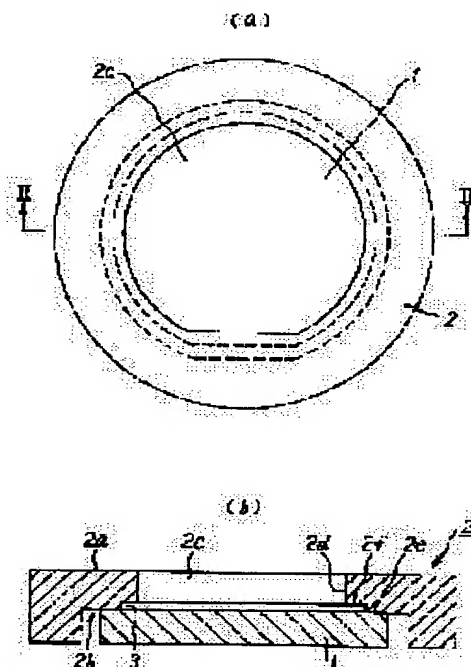
(72)Inventor : EDA MASAKAZU  
NAKAYAMA KOJI  
SUMIMOTO YASUSHI  
HASEGAWA HITOSHI  
KANEKI AKIRA

(54) FILM FORMATION PREVENTING ELEMENT

**(57)Abstract:**

**PURPOSE:** To provide a film formation preventing element wherein a continuous collective thin film is dot formed between the inner peripheral surface of the film formation preventing element and a semiconductor substrate.

**CONSTITUTION:** A film formation preventing element 2 is provided with a reference surface 2e for positioning which is made to abut against the surface of a substrate 1 at the time of forming a thin film and a flange surface 2f which is positioned on the circumference side of the reference surface 2e. The distance from a first surface to the flange surface 2f is set smaller than the distance from the first surface to the reference surface. Thereby, a gap is formed between the surface of the substrate 1 and the flange surface 2f at the time of forming a thin film. Hence, the formation of a continuous thin film between the film formation preventing element 2 and the surface of the substrate 1 is prevented.



## LEGAL STATUS

**[Date of request for examination]**

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

**[Date of registration]**

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-181196

(43) 公開日 平成8年(1996)7月12日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/68	N			
C 2 3 C 16/44	J			
H 0 1 L 21/02	Z			
21/203				
21/205				

審査請求 未請求 請求項の数 1 O L (全 3 頁)

(21) 出願番号 特願平6-318213

(22) 出願日 平成6年(1994)12月21日

(71) 出願人 591012794

日本セミコンダクター株式会社

茨城県つくば市北原10番地

(72) 発明者 江田 雅一

茨城県つくば市北原10番地 日本セミコン  
ダクター株式会社内

(72) 発明者 中山 浩二

茨城県つくば市北原10番地 日本セミコン  
ダクター株式会社内

(72) 発明者 炭本 裕史

茨城県つくば市北原10番地 日本セミコン  
ダクター株式会社内

(74) 代理人 弁理士 杉村 暁秀 (外5名)

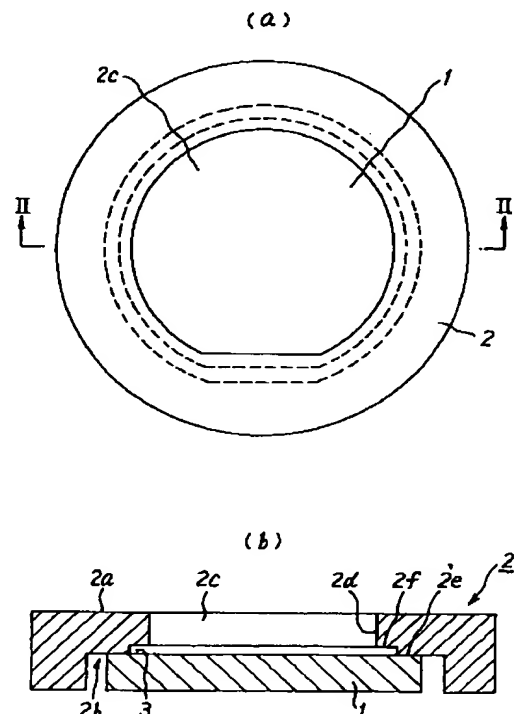
最終頁に続く

(54) 【発明の名称】 成膜防止素子

(57) 【要約】

【目的】 成膜防止素子の内周面と半導体基板との間で連続する一体的な薄膜が形成されない成膜防止素子を提供する。

【構成】 成膜棒素子(2)は、薄膜形成時に基板(1)の表面と当接する位置決め用の基準面(2e)及び基準面(2e)の円周側に位置するフランジ面(2f)を有する。第1の面からフランジ面(2f)までの距離は、第1の面から基準面までの距離よりも小さくなるように設定する。この結果、薄膜形成時に基板表面(1)とフランジ面(2f)との間に空隙が形成され、この結果成膜防止素子(2)と基板表面(1)との間で連続する薄膜の形成が防止される。



## 【特許請求の範囲】

【請求項 1】 基板の表面に薄膜を形成する薄膜形成装置に用いられるほぼリング状の成膜防止素子であって、ほぼ円環状の第 1 の面と、この第 1 の面と対向する第 2 の面とを有し、第 2 の面が、薄膜形成時に成膜すべき基板表面に対する位置決め基準となる基準面、及びこの基準面の内周側に位置しほぼ円環状のフランジ面を有し、前記第 1 の面からフランジ面までの距離が第 1 の面から基準面までの距離よりも小さくなるように設定し、薄膜形成時に前記基準面が基板表面に直接当接し前記フランジ面と基板表面との間に空隙が形成されるように構成したことを特徴とする成膜防止素子。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、例えば CVD 装置（化学気相堆積装置）のような薄膜形成装置に用いられる成膜防止素子に関するものである。

## 【0002】

【従来の技術】 半導体装置を製造する際、半導体基板上に各種半導体材料及び金属材料の薄膜が形成され、フォトリソグラフィ法により処理されて各種半導体領域、電極領域に配線領域が形成されている。各種半導体層及び金属層は CVD 法やスパッタ法を利用した薄膜形成装置により形成される。

【0003】 半導体基板上に各種の薄膜を形成する場合、基板の周辺部分は、基板の移送や処理において基板を支持するために必要な領域であるため、基板の周辺部分には薄膜が形成されないようにする必要がある。このため、薄膜を形成する際、リング状の成膜防止素子をマスクとして用いて半導体基板表面の周辺に各種材料が堆積するのを阻止している。

## 【0004】

【発明が解決しようとする課題】 従来の成膜防止素子は、薄膜形成時に半導体基板と直接当接する第 1 の面が全面に亘って平坦な面とされ、その表面が半導体基板と直接接触している。このため、成膜時にリング状の成膜防止素子の内周面にも被堆積物が堆積して薄膜が形成され、この薄膜は半導体基板表面に形成される薄膜と一体的に形成されるので、成膜後に成膜防止素子を取り外す際、半導体基板表面に形成された薄膜の一部が基板表面からはがれてしまう不都合が生じていた。この薄膜剥離が生ずると、生産の歩留りが著しく低下してしまう。さらに、剥離した薄膜片が装置内に残存すると、次に薄膜形成される半導体に対して異物となるばかりでなく、損傷を与える不具合も生じてしまう。

【0005】 従って、本発明の目的は、成膜防止素子を取り外す際、薄膜剥離が発生せず、生産の歩留りが一層向上した成膜防止素子を提供することにある。

## 【0006】

【課題を解決するための手段】 本発明による成膜防止素

子は、基板の表面に薄膜を形成する薄膜形成装置に用いられるほぼリング状の成膜防止素子であって、ほぼ円環状の第 1 の面と、この第 1 の面と対向する第 2 の面とを有し、第 2 の面が、薄膜形成時に成膜すべき基板表面に対する位置決め基準となる基準面、及びこの基準面の内周側に位置しほぼ円環状のフランジ面を有し、前記第 1 の面からフランジ面までの距離が第 1 の面から基準面までの距離よりも小さくなるように設定し、薄膜形成時に前記基準面が基板表面に直接当接し前記フランジ面と基板表面との間に空隙が形成されるように構成したことを特徴とする。

## 【0007】

【作用】 本発明では、薄膜形成時に基板と対向する第 2 面に位置決め用の基準面と基準面より円周側に位置するフランジ面とを形成する。基準面は薄膜形成時に基板表面に直接当接しフランジ面は基板表面から離間するから、成膜防止素子の内周側には基板との間に隙間が形成されることになる。この結果、リング状の成膜防止素子の内周面に被堆積物が堆積して膜が形成されても、この膜は基板表面に形成される膜と連続せず、すなわち基板表面に形成される膜と一体物として形成されず、この結果成膜防止素子を取り外す際、基板表面に形成された膜の一部が剥離するような事態を回避することができ、生産の歩留りを一層向上させることができる。

## 【0008】

【実施例】 図 1 は本発明による成膜防止素子を一部を拡大して示すものであり、図 1 (a) は薄膜形成時における線図的平面図、図 1 (b) は図 1 (a) の II-II 線断面図である。例えば CVD 装置やスパッタリング装置のような薄膜形成装置の基板載置台（図示せず）上に薄膜形成されるべき半導体基板 1 を載置する。半導体基板 1 上に成膜防止素子 2 を配置する。成膜防止素子 2 はほぼリング状をなし、薄膜形成時に原料源と対向する第 1 の面 2 a と半導体基板 1 と対向する第 2 の面 2 b とを有する。成膜防止素子 2 は開口部 2 c を有し、この開口部 2 c を経て半導体基板 1 の表面上に半導体材料や金属材料を堆積させる。従って、成膜防止素子 2 は、その内周面 2 d が半導体基板 1 の外周縁を覆う大きさを有する。

【0009】 成膜防止素子 2 の半導体基板 1 と対向する第 2 の面 2 b は、薄膜形成時に半導体基板の表面と当接する位置決め基準面 2 e 及びこの基準面より内周側に位置するフランジ面 2 f を有し、第 1 の面 2 a からフランジ面 2 f までの距離は第 1 の面 2 a から基準面 2 e までの距離よりも小さくなるように、例えば 0.1 mm 程度小さくなるように設定し、フランジ面 2 f の幅は 0.7 mm 程度に設定する。従って、半導体基板 1 及び成膜防止素子 2 を基板載置台上に装着した場合、基準面 2 e は半導体基板 1 の表面に直接当接し、フランジ面 2 f と基板 1 の表面との間には基板 1 の全周に亘ってギャップ 3 が形成されることになる。この結果、半導体基板上に形

成される薄膜と成膜防止素子 2 の内周面 2 d に形成される被膜とが連続して一体的に形成されるのが防止される。

【0010】なお、成膜防止素子の基板表面に対する位置決め基準となる基準面は基板の全周に亘って平坦に形成する必要はなく、基板表面に対して点接触する面として形成してもよい。

【0011】

【発明の効果】以上説明したように、本発明によれば成膜防止素子の内周面に沿って基板表面との間でギャップが形成されるので、半導体基板の表面に形成される薄膜と成膜防止素子に形成される皮膜とが連続して一体的に形成されないで、成膜防止素子を取り外す際半導体基板に形成された薄膜が部分的に剥がれるような不都合の発生を防止することができる。この結果半導体装置の製 \*

\* 造の歩留りを一層改善することができる。

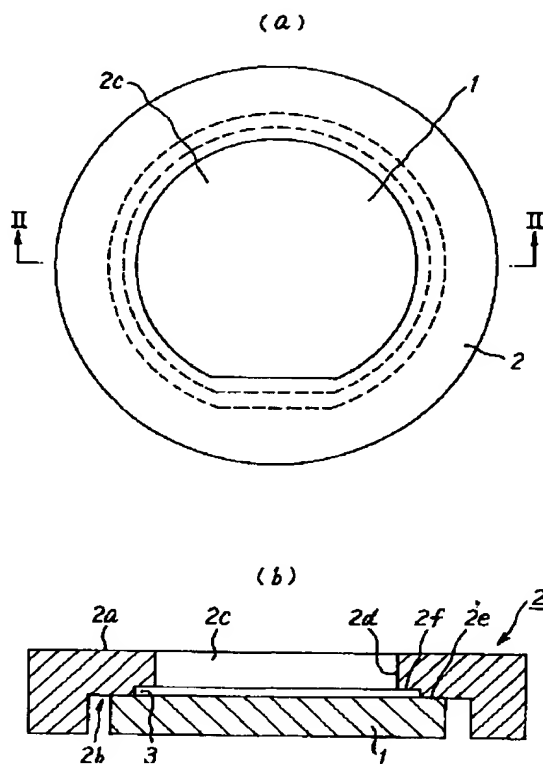
【図面の簡単な説明】

【図 1】本発明による成膜防止素子の一例の構成を示す図である。

【符号の説明】

- 1 半導体基板
- 2 成膜防止素子
- 2 a 第 1 の面
- 2 b 第 2 の面
- 2 c 開口部
- 2 d 円周面
- 2 e 基準面
- 2 f フランジ面
- 3 空隙

【図 1】



フロントページの続き

(72)発明者 長谷川 斉  
茨城県つくば市北原10番地 日本セミコン  
ダクター株式会社内

※

※ (72)発明者 金木 暁  
茨城県つくば市北原10番地 日本セミコン  
ダクター株式会社内